**北京邮电大学2016——2017学年第一学期**

**《**数字逻辑与数字系统**》**期末考试试题（A）

|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 考试注意事项 | 一、学生参加考试须带学生证或学院证明，未带者不准进入考场。学生必须按照监考教师指定座位就坐。  二、书本、参考资料、书包等物品一律放到考场指定位置。  三、学生不得另行携带、使用稿纸，要遵守《北京邮电大学考场规则》，有考场违纪或作弊行为者，按相应规定严肃处理。  四、学生必须将答题内容做在试题答卷上，做在草稿纸上一律无效。  五、学生的姓名、班级、学号、班内序号等信息由教材中心统一印制。 | | | | | | | | | |
| 考试  课程 | | **数字逻辑与数字系统** | | | 考试时间 | | 2017年1月11日 | | | |
| 题号 | | 一 | 二 | 三 | 四 | 五 | 六 | 七 | 八 | 总分 | |
| 满分 | | 10 | 20 | 5 | 35 | 10 | 10 | 10 |  |  |
| 得分 | |  |  |  |  |  |  |  |  |
| 阅卷  教师 | |  |  |  |  |  |  |  |  |

**一、填空题(每空1分，共10分)**

参考答案：

1 **2n**; 2 **循环码**; 3  **6**; 4  **A⊕B**; 5  **2KB** ；6  **余3码转8421码;** 7 **7**;

8  **0100** ； 9 10000110; 10 **0101** ;

**二、选择题(每空1分，共10分)**

的描为\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_。

参考答案：

1D； 2A；3**B**；4B；5**C；** 6B； 7**A ；**8**B；** 9D； 10**B；；**

**三、简答题(共35分)**

1. 组合逻辑、时序逻辑（2分）

组合逻辑内部无反馈，无记忆功能。时序逻辑内部有反馈，有记忆功能（3分）

2. process ( A ) 2分

When（ othes ） 3分

3. 当三个使能端同时有效时，完成对地址码的译码。如地址码为000时，Y0为低电平，其余为高电平（2分）

RAM的地址范围 1000H~13FH （3分）

4. （1）米里型 （1分） （2）功能：完成对110序列的jianc3（2分）

（3） （7分）

LIBRARY IEEE;

USE IEEE.STD\_LOGIC\_1164.ALL;

ENTITY mealy IS

PORT ( clk , x : IN STD\_LOGIC;

y: OUT STD\_LOGIC );

END mealy;

ARCHITECTURE behv OF mealy IS

TYPE state IS (s0, s1, s2, s3);

SIGNAL current\_state, next\_state: state;

BEGIN

REG: PROCESS (clk)

BEGIN

IF (clk'EVENT and clk='1' ) THEN

current\_state <= next\_state;

END IF ;

END PROCESS; （3分）

COM:PROCESS (current\_state, x)

BEGIN

CASE current\_state IS

WHEN s0 => IF x = ‘0’ THEN

next\_state <= s0;

y <= ‘0’;

ELSE

next\_state <= s1;

y <= ‘0’;

END IF;

WHEN s1 => IF x = ‘0’ THEN

next\_state <= s0;

y <= ‘0’;

ELSE

next\_state <= s2;

y <= ‘0’;

END IF;

WHEN s2 => IF x = ‘0’ THEN

next\_state <= s0;

y <= ‘1’;

ELSE

next\_state <= s2;

y <= ‘0’;

END IF;

END case;

END PROCESS;

END behv; （4分）

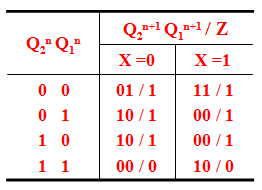
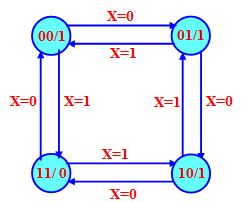
5.

电路的状态方程和输出方程为：（4分）

状态图（4分）

该电路是**Moore**型电路。

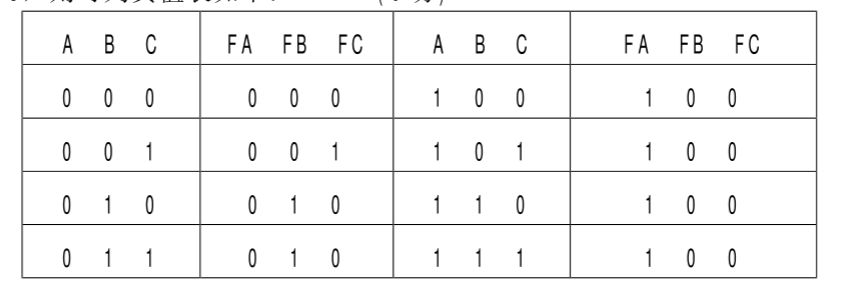
功能（2分）

当X=0时，电路为模4加法计数器；

当X=1时，电路为模4减法计数器

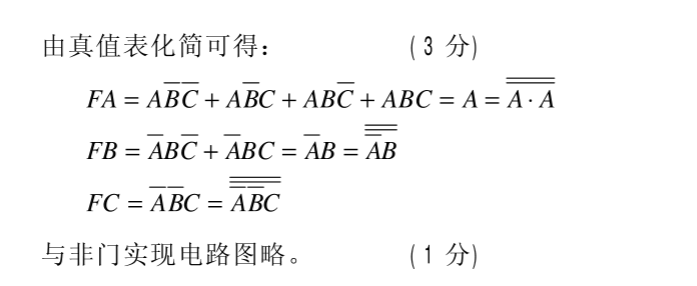
五、

1. 特快A，直快B和慢车C，开车信号分别为FA，FB，FC （2分）



2. 真值表（4分）

3.



六、

1.  （2分）

2. 设计8进制计数器，其计数状态应为000-001-010-011-100-101-110-111，或直接用16进制计数器的低三位直接接数据选择器的地址端（4分）。

连线（4分）

A2

A1

A0

74LS151

E

Y

F

1

D0

D1

D2

D3

D4

D5

D6

D7

1

1

01

0

1

1

0

0

QD QC QB QA

P

T

LD

Cr

cp

Vcc

CLK

## 74LS162

D

C

B

A

A2

A1

A0

74LS151

E

Y

F

1

D7

D6

D5

D4

D3

D2

D1

D0

1

1

01

0

1

1

0

0

QD QC QB QA

P

T

LD

Cr

cp

Vcc

CLK

## 74LS162

D

C

B

A

A2

A1

A0

74LS151

E

Y

F

1

D0

D1

D2

D3

D4

D5

D6

D7

10

1

01

0

1

1

0

0

QD QC QB QA

P

T

LD

Cr

cp

Vcc

CLK

## 74LS162

D

C

B

A

‘1’

七、

1、三态门（1分）

CAP

LDC

A>B

LDB

LDA

Y

N

2、 ASM图（2分）

4 控制命令（2分）









\* 状态转移表（2分）（不联扣）

\* 译码表达式（2分）

\* 电路图（1分）

|  |  |  |
| --- | --- | --- |
| PS  Q1 nQ0 n | NS  Q1 n+1Q0 n+1 | 转移条件 |
| S0 0 0 | 0 1 | A>B |
|  | A>B |
| S1 0 1 | 1 0 |  |
| S2 1 0 | 1 1 |  |
| S3 1 1 |  |  |

=D1

=D0